

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-259018

(43)Date of publication of application : 21.12.1985

(51)Int.Cl.

H03K 17/30

G01D 1/18

H03K 3/02

(21)Application number : 59-115701

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 06.06.1984

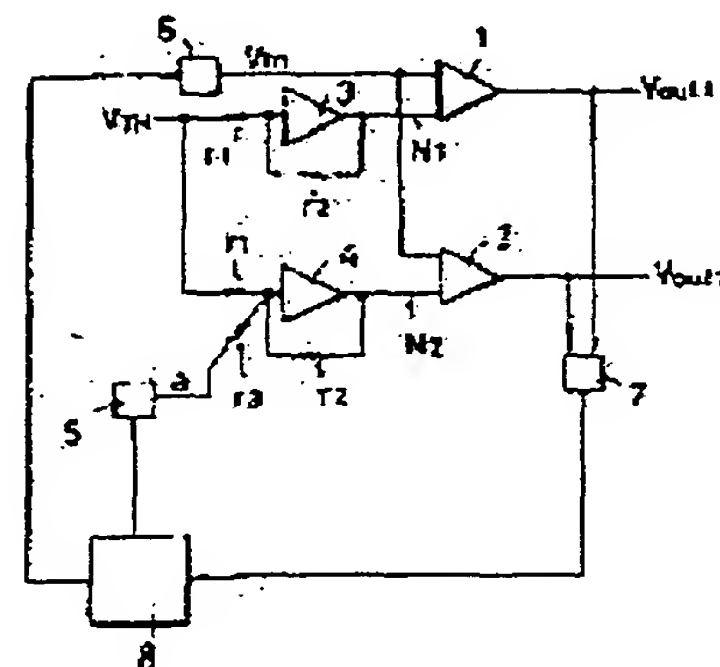
(72)Inventor : HASHIZUME KEN

(54) CALIBRATION SYSTEM OF COMPARATOR

(57)Abstract:

PURPOSE: To calibrate automatically a variance of a DC discriminating point of a comparator by using an input waveform having a very low change so as to obtain the variance in the DC discriminating point with high sensitivity as a difference in the measuring time.

CONSTITUTION: A computer 8 zeros an output (a) of a calibration digital-analog converter (DAC) 5 in a circuit comprising a reference comparator 1 and a comparator 2 to be calibrated, inputs the same threshold voltage to all comparators so as to input the same voltage as that of outputs N1, N2 of operational amplifiers 3, 4. Then an output of a low speed slope waveform generator 6 is applied to all the comparators. In this case, the calibration is not executed yet, then a VOUT2 is in variance with a comparator output VOUT1 and the variance time (t) is obtained by a time difference measuring section 7. The correction value is obtained by the computer 8 from the time (t) and the slope of the input Vin, the output (a) is set to zero the time (t) and the voltage of the output N2 is calibrated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

④日本国特許庁(JP) ⑤特許出願公開
⑥公開特許公報(A) 昭60-259018

⑦Int. Cl.¹ ⑧出願番号 ⑨特許庁登録番号 ⑩公開 昭和60年(1985)12月21日
H 03 K 17/30 7105-5J
G 01 D 1/13 7269-2P
H 03 K 3/02 3425-5J 審査請求 未請求 発明の数 1 (全1頁)

⑪発明の名称 コンパレータのキャリブレーション方式

⑫特 許 昭59-115701

⑬出 願 昭59(1984)6月6日

⑭発 明 者 編 詰 屋 川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内
⑮出 願 人 株式会社東芝 川崎市幸区堀川町72番地
⑯代 理 人 弁理士 鈴江 武志 外2名

明 用 意

1. 発明の名称

コンパレータのキャリブレーション方式

2. 発明の要旨

複数のコンパレータと、該コンパレータのスケール電圧を逐次比較する手段と、前記各コンパレータに、逐次的に傾斜する入力電圧を印加する手段と、前記コンパレータ間の前記入力電圧に対する応答の時間差を求めこの時間差と前記入力電圧の傾斜から前記各コンパレータの出力間の応答の時間差がなくなるようにコンパレータのスケール電圧を再設定する手段とを具備したことを特徴とするコンパレータのキャリブレーション方式。

3. 発明の効果を説明

(発明の技術分野)

本発明はコンパレータのキャリブレーション方式(入力に対する出力の遅れ時間と直線判定点の直線コンパレータ間のばらつきを修正すること)に関する。

(発明の技術的背景とその問題点)

従来、複数のコンパレータ間のキャリブレーションはその遅れ時間のばらつきのみを修正してあり、キャリブレーションの直線判定点のばらつきについては改善がはなされていなかった。しかしながらキャリブレーションの直線判定点のばらつきがあった場合、コンパレータ間の判定のばらつきが多くなるケースがある。そのケースというのは、入力レベルの電圧が非常に低減(例えば0.001V/μs)である場合で、この場合コンパレータ間で直線判定点がずれていると、判定時間的大きなばらつき(誤差)が生じてしまうものである。

(発明の目的)

本発明は上記背景に鑑みてなされたもので、コンパレータの判定直線判定点のばらつきをキャリブレーションで修正するようにしたコンパレータのキャリブレーション方式を提供しようとするものである。

(発明の概要)

本発明は、変化が非常に速い入力変動を捉えて、直流判定点のばらつきを判定時間の短縮として高感度で求めるようにしたものである。

〔発明の実施例〕

以下図面を参照して本発明の一実施例を説明する。第1図において1は直感コンパレータ、2はチャリブレーション・コンパレータ、3はオペアンプ、 r_1 、 r_2 、 r_3 は抵抗、4はコンパレータの V_{in} （スレイン・ノイズ）を可変するためのチャリブレーションDAC（デジタルアナログ変換器）、5は基準スコープ（例えば0.001V/μs） V_{is} の発生部、7はコンパレータ1、2間の入力 V_{is} に対する応答時間差を求める時間差測定部、6は上記時間差1と入力 V_{is} の振幅からコンパレータ間の応答時間差1が得られるようにコンパレータのスレイン・ノイズを可変する等の制御を行うマイクロプロセッサである。

第2図は上記装置の動作を説明するための波

形図である。マイクロプロセッサでチャリブレーションDACの出力 V_{out1} を変えて直感コンパレータで同じスレイン・ノイズ電圧が入力されるようにする。この時 N_1 点の電圧 V_{out1} は

$$V_{out1} = -\frac{r_2}{r_1} V_{in} \quad \text{.....(1)}$$

また N_2 点の電圧 V_{out2} は

$$V_{out2} = -\frac{r_2}{r_1} V_{in} - \frac{r_1}{r_1} \cdot \quad \text{.....(2)}$$

上記したより式(2)式での項は等化されているから、コンパレータ1、2のスレイン・ノイズ電圧として、同じ(1)式の電圧が入力される。このようにしてから、直感コンパレータに同じ基準スコープ（例えば0.001V/μs）の入力 V_{is} を加える。この時コンパレータ2はチャリブレーションであるため、コンパレータ出力 V_{out2} に対して V_{out1} はばらつくから、このばらつきの時間1（第2図参照）の値を時間差測定部7で求め、この1の値と入力 V_{is} の振幅から補正電圧をマイクロプロセッサで求め、この補正電圧でチャリブ

レーションDACの出力 V_{out1} を、時間差1が得られるように設定する。このようにして N_1 点の電圧（スレイン・ノイズ）が変化する。直流判定点のチャリブレーションが可能となるものである。

このようにしてコンパレータ1の直流判定点のばらつきを自動的にチャリブレーションできる。また入力 V_{is} は基準スコープを用いて、コンパレータ出力間時間差1が小さくなり、つまり直流判定点のばらつきをいかに高感度で求められ、結果として直流判定点を高感度でチャリブレーションできる。例えば入力 V_{is} として0.001V/μs程度の電圧を入力した際、1μVの判定電圧電圧の差があると、1μVの V_{out1} と V_{out2} との差となり、容易に検出できる。また上記のようにチャリブレーションされた後1、第3図のコンパレータを用い、それぞれに第3図のように入力が供給されたときの判定時間7を測定する時、本方式により直流判定点がチャリブレーションされるから、高感度の判定が可能となるものである。

る。

〔発明の効果〕

以上説明した如く本発明によれば、コンパレータの直流判定点のばらつきを自動的にチャリブレーションでき、また高感度の判定時間が得られるなどの利点を有したコンパレータのチャリブレーション方式が提供できるものである。

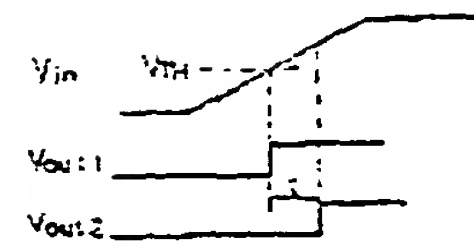
4. 図面の簡単な説明

第1図は本発明の一実施例を示す構成図、第2図は同構成の動作を説明するための波形図、第3図は本発明の実用例を説明するための波形図である。

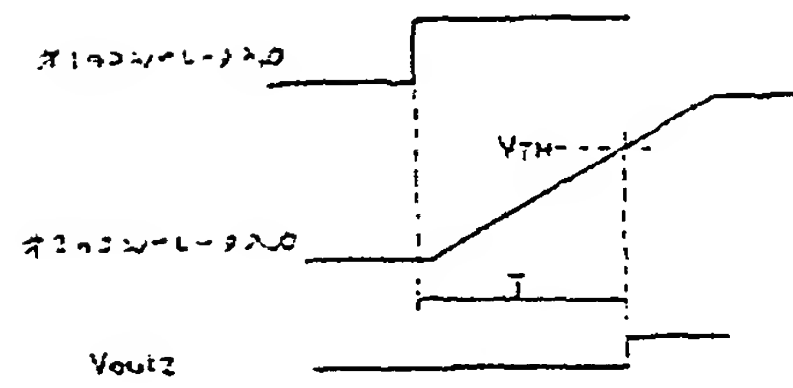
1...コンパレータ、2...チャリブレーション・コンパレータ、3...オペアンプ、4...チャリブレーションDAC、5... V_{is} 発生部、6...時間差測定部、7...マイクロプロセッサ、 r_1 ... r_3 ...抵抗。

出願人代理人 弁護士 松 江 義 彦

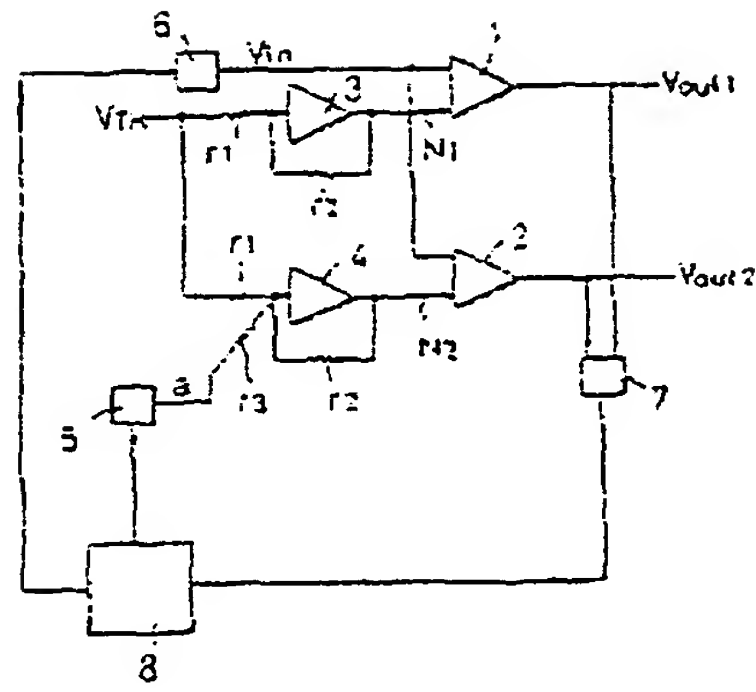
第 2 図



第 3 図



第 1 図



【公開番号】 特開昭 60-259018

【出願番号】 特願昭 59-115701

【公開日】 1985 年 12 月 21 日

【出願日】 1984 年 06 月 06 日

【国際特許分類】 H03K 17/30 G01D 1/18 H03K 3/02

【出願人】 株式会社東芝

【出願人識別番号】 000307

【発明者】 橋詰建

【発明の名称】 コンパレータのキヤリブレーション方式

【要約】 【目的】 変化が非常に低速の入力波形をつかつて直流判定点のばらつきを測定時間の差として高感度に求めることにより、コンパレータの直流判定点のばらつきを自動的にキヤリブレーションし得るようにする。【構成】 基準コンパレータ 1、被キヤリブレーションコンパレータ 2 からなる回路においてコンピュータ 8 でキヤリブレーションデジタルアナログ変換器 (DAC) 5 の出力 a を零にして全コンパレータに同じしきい値電圧を入力し、OP アンプ 3、4 の各々の出力 $N \downarrow 1$ 、 $N \downarrow 2$ の電圧と同じとする。そして、全コンパレータに低速スロープ波形発生器 6 の出力を供給する。この時、未キヤリブレーションであるため、コンパレータ出力 $VOUT 1$ に対して $VOUT 2$ はばらつき、このばらつきの時間 t を時間差測定部 7 で求める。この時間 t と入力 $V \downarrow i \downarrow n$ の傾斜から補正値をコンピュータ 8 で求め、出力 a を時間 t が零になるよう設定され出力 $N \downarrow 2$ の電圧が較正される。

【JAPIO フリーキーワード】 コンパレータ キヤリブレーション 直流 判 定 点
デジタル アナログ 変換器 低速 スロープ 波形